

(19)

KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010026122 A  
(43)Date of publication of application: 06.04.2001

(21)Application number: 1019990037310

(71)Applicant:

SAMSUNG ELECTRONICS  
CO., LTD.

(22)Date of filing: 03.09.1999

(72)Inventor:

LEE, SANG BO

(51)Int. Cl

G11C 11/407

(54) DELAY SYNCHRONIZING CIRCUIT FOR REDUCING SELF-REFRESH ESCAPE TIME AND CURRENT CONSUMPTION



(57) Abstract:

PURPOSE: A delay synchronizing circuit within a semiconductor integrated circuit is provided to reduce self-refresh escape time and current consumption.

CONSTITUTION: The circuit includes a shift-register (120), a variable delay stage(130), a phase detector (140), a charge pump(150), a DC(Direct Current) voltage maintainer(170), a dummy delay stage(130) and a control signal generator(180). The shift-register(120) compares an external clock signal (ECLK) with an internal clock signal(ICLK), and store the result data. The variable delay stage(130) delays the external clock signal(ECLK), and generates the internal clock signal(ICLK) according to the stored data from the shift-register(120). The phase detector(140) detects phase difference between the clock signals (ECLK,ICLK). The charge pump(150) generates a voltage for precisely regulating delay time of the variable delay stage(130). Here, the shift-register(120) is not reset during the refresh operation.

COPYRIGHT 2001 KIPO

Legal Status

10-2001-0026122

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)(51) Int. Cl.  
G11C 11/407(11) 공개번호 10-2001-0026122  
(43) 공개일자 2001년04월06일

(21) 출원번호 10-1999-0037310  
(22) 출원일자 1999년09월03일  
(71) 출원인 삼성전자 주식회사 윤종용  
경기 수원시 팔달구 매탄3동 416  
(72) 발명자 이상보  
경기도용인시기흥읍송서리산24  
(74) 대리인 이영필, 정상빈, 박덕영

심사청구 : 있음(54) 셀프 리프레쉬 탈출 시간 및 전류 소모를 줄일 수 있는 지연동기회로요약

셀프 리프레쉬 탈출 시간 및 전류 소모를 줄일 수 있는 지연 동기 회로가 개시된다. 본 발명은 외부 클럭 신호와 동기되는 내부 클럭 신호를 제공하는 지연 동기 회로에 있어서, 외부 클럭 신호와 내부 클럭 신호를 비교하여 그 결과를 저장하는 쉬프트 레지스터와, 쉬프트 레지스터의 저장값에 응답하여 외부 클럭 신호를 지연시키되, 개략적인 지연시간을 갖도록 조정의 지연단들이 선택되어 내부 클럭 신호를 발생하는 가변 지연단과, 외부 클럭 신호와 내부 클럭 신호와의 앞서거나 뒤서는 위상차를 검출하는 위상 검출기와, 위상 검출기의 출력에 응답하여 가변 지연단에서 선택되는 지연단 내의 지연시간을 미세하게 조절하는 조정의 전압레벨을 발생하는 차마지 펄스를 구비하며, 쉬프트 레지스터는 리프레쉬 동작시 리셋되지 않는다.

도면도명세서도면의 간단한 설명

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 지연 동기 회로를 나타내는 도면을 나타내는 도면이다.

도 2는 본 발명의 일실시에 따른 지연 동기 회로를 나타내는 도면이다.

도 3은 도 2의 제어 신호 발생기를 나타내는 도면이다.

도 4는 도 3의 동작 타이밍도를 나타내는 도면이다.

발명의 상세한 설명발명의 목적발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 집적 회로에 관한 것으로서, 특히 셀프 리프레쉬 동안에 쉬프트 레지스터의 값이 리셋되지 않아서 리프레쉬 후 위상 동기를 위하여 소요되던 시간을 줄일 수 있는 지연 동기 회로에 관한 것이다.

최근에 널리 사용되고 있는 동기식 디램(synchronous DRAM: SDRAM)은 클럭(clock)에 동기되어 메모리 셀로 데이터를 입력하거나 메모리 셀 데이터는 유효 데이터 구간(data valid window)으로 출력한다. 클럭 신호는 하나의 핀으로 입력되어 디바이스(device) 전체에 분배된다. 입력 핀으로부터 비교적 멀리 떨어진 부분에 도달하는 클럭 신호는 입력 핀에 바로 인접한 부분의 클럭 신호에 대하여 상당히 지연될 수 있다. 이러한 지연은 SDRAM 내부의 각부분 사이의 동기를 유지하는 것을 어렵게 한다. 그래서, 외부 클럭 신호와 내부에서 지연되는 클럭 신호와의 동기를 맞추기 위하여 지연 동기 회로를 사용하게 된다. 이러한 지연 동기 회로를 동작 주파수가 높은 램버스 디램(RAMBUS DRAM) 또는 DDR SDRAM(Double Data Rate SDRAM)에 내장하게 되면, 클럭 신호와 데이터간의 시간차 또는 위상차라고 일컬어지는 스큐(skew)를 상당부분 줄일 수 있게 된다.

도 1은 종래의 지연 동기 회로를 나타내는 도면이다. 도 1의 지연 동기 회로(10)는 외부 클럭 신호(BLK)와 내부 클럭 신호(ICK)와의 위상 동기를 맞추기 위하여 외부 클럭 신호(ECLK)와 내부 클럭 신호(ICK)와의 위상 동기를 조절하는 강들을 시프트 레지스터(20)에 저장하고, 이 시프트 레지스터의 값에 따라 가변 지연단(30) 내의 소정의 지연단들을 선택적으로 연결하여 전체적인 지연 스테이지(delay stage)를 결정한다. 위상 검출기(40)는 외부 클럭 신호(ECLK)와 내부 클럭 신호(ICK)와의 위상차를 검출하고, 그 결과 신호(UP/DN)에 따라 차아지 펌프(50)에서 제공되는 제어 전압(Vcon)에 의하여 가변 지연단(30) 내의 선택되는 지연단의 지연 시간이 미세하게 조절된다. 그리고, 가변 지연단(30)의 출력인 클럭 DQ에 동기되어 출력되는 출력 데이터의 지연요소를 보상하기 위하여 더미 지연단(60)을 통하여 외부 클럭 신호(CLK)와의 위상을 맞추게 된다.

그런데, 도 1의 지연 동기 회로(10)는 SDRAM, RAMBUS DRAM, 또는 DDR SDRAM의 고유 기능인 리프레쉬(refresh) 동안에 리셋된다. 즉, 리프레쉬 동작 진입에 따라 발생하는 지연 동기 회로 리셋 신호(PULLOFF)에 응답하여 시프트 레지스터(20), 가변 지연단(30), 위상 검출기(40) 및 차아지 펌프(50) 등이 모두 리셋 된다. 이 후, 리프레쉬 탈출(refresh-exit) 시에 지연 동기 회로(10)는 처음부터 다시 동작하여 위상 동기를 맞추게 된다. 그리하여 지연 동기 회로(10)는 리프레쉬 탈출 시간을 보장해주기 위하여 클럭 신호의 수집 사이클을 필요로 하고 동작상 많은 전류를 소모하게 된다.

따라서, 이렇게 긴 리프레쉬 탈출 시간 및 많은 전류 소모는 노트북 컴퓨터와 같은 고속 저전력을 요구하는 시스템의 성능을 저하시키는 문제점을 내포한다.

#### 본 발명이 이루고자 하는 기술적 과제

본 발명의 목적은 리프레쉬 탈출 시간 및 전류 소모를 줄일 수 있는 지연 동기 회로를 제공하는 것이다.

#### 본 발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은 외부 클럭 신호와 동기되는 내부 클럭 신호를 제공하는 지연 동기 회로에 있어서, 외부 클럭 신호와 내부 클럭 신호를 비교하여 그 결과를 저장하는 시프트 레지스터와, 시프트 레지스터의 저장값에 응답하여 외부 클럭 신호를 지연시키되, 개략적인 지연시간을 갖도록 소정의 지연단들이 선택되어 내부 클럭 신호를 발생하는 가변 지연단과, 외부 클럭 신호와 내부 클럭 신호와의 앞서거나 뒤서는 위상차를 검출하는 위상 검출기와, 위상 검출기의 출력에 응답하여 가변 지연단에서 선택되는 지연단 내의 지연시간을 미세하게 조절하는 소정의 전압레벨을 발생하는 차아지 펌프를 구비하며, 시프트 레지스터는 리프레쉬 동작시 리셋되지 않는다.

바람직하기로, 지연 동기 회로는 가변 지연단, 위상 검출기, 차아지 펌프를 리셋시키는 지연 동기 회로 리셋 신호 및 시프트 레지스터를 리셋시키는 시프트 레지스터 리셋 신호를 발생하되, 리프레쉬 진입시 지연 동기 회로 리셋 신호만을 활성화시키는 제어 신호 발생기를 더 구비하고, 가변지연단 출력인 내부 클럭 신호가 데이터 출력 버퍼의 데이터를 동기시키는 클럭 DQ로 제공되어, 데이터 출력 버퍼를 통과하면서 생기는 외부 클럭 신호에 대한 위상지연을 보상하기 위하여 클럭 DQ를 소정시간 지연시켜 외부 클럭 신호와 동기되는 내부 클럭 신호를 발생하는 더미 지연단을 더 구비한다.

이와 같은 본 발명의 지연 동기 회로는 셀프 리프레쉬 동안 시프트 레지스터의 저장값이 리셋되지 않고 그대로 유지되기 때문에, 셀프 리프레쉬 탈출 후에 외부 클럭 신호와 내부 클럭 신호와의 동기를 맞추기 위하여 소요되던 리프레쉬 탈출 보상 시간이 줄어든다. 또한, 셀프 리프레쉬 동안 지연 동기 회로 내의 가변 지연단, 위상 검출기 및 차아지 펌프가 리셋되어 동작하지 않기 때문에 전류소모를 상당부분 줄일 수 있다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 대하여, 동일한 참조부호는 동일한 부재를 나타낸다. 본 발명은 SDRAM, RAMBUS DRAM 또는 DDR SDRAM 등의 클럭 신호에 동기되어 동작하는 동기식 반도체 메모리 장치에 있어서, 외부 클럭 신호와 내부 클럭 신호와의 동기를 맞추기 위하여 사용되는 지연 동기 회로에 대하여 기술된다.

도 2는 본 발명의 일 실시예에 따른 지연 동기 회로를 나타내는 도면이다. 이를 참조하면, 지연 동기 회로(100)는 시프트 레지스터(120), 가변 지연단(130), 위상 검출기(140), 차아지 펌프(150), DC 전압 유지기(170), 더미 지연단(160) 및 제어 신호 발생기(180)를 구비한다.

시프트 레지스터(120)는 외부 클럭 신호(ECLK)와 내부 클럭 신호(ICK)와의 위상을 비교하여 그 결과를 저장한다. 통상적으로 시프트 레지스터(120)는 DQ 출력홀들 등으로 구현되는 데, 내부 클럭 신호(ICK)는 데이터 입력단자에, 외부 클럭 신호(ECLK)는 클럭 단자에 각각 연결되어, 외부 클럭 신호(ECLK)의 활성화 시 이에 대응되는 내부 클럭 신호(ICK)를 래치한다. 그리하여, 래치되는 결과 값들을 순차적으로 저장하여 시프트 레지스터(120) 내 소정의 비트들로 구성된다. 여기서, 시프트 레지스터(120)는 이 후 제어 신호 발생기(180)에서 생성될 시프트 레지스터 리셋 신호(PREGRST)에 의하여 리셋된다.

가변 지연단(130)은 일정한 지연시간을 갖는 다수개의 지연단들로 구성된다. 각 지연단들은 시프트 레지스터(120)의 저장값에 따라 선택적으로 연결된다. 그리하여 외부 클럭 신호(ECLK)를 선택적으로 연결되는 지연단들로 결정되는 소정의 지연시간 만큼 지연시킨다. 가변 지연단(130)은 제어 신호 발생기(180)에서 생성될 지연 동기 회로 리셋 신호(PULLOFF)에 의하여 리셋된다.

위상 검출기(140)는 외부 클럭 신호(ECLK)와 내부 클럭 신호(ICK)와의 위상차를 검출하여 앞서거나 뒤서는 위상에 대하여 그 출력 신호(UP/DN)를 발생한다. 차아지 펌프(150)는 위상 검출기(140)의 출력 신호(UP/DN)에 응답하여 제어 전압(Vcon)을 발생한다. 일반적으로, 차아지 펌프(150)는 커패시터(미도시)를 내장하여 입력 신호, 즉 위상 검출기(140)의 출력 신호(UP/DN)에 따라 커패시터(미도시)를 충전시켜서 그 결과를 제어 전압(Vcon)으로 나타낸다. 예를 들면, 위상 검출기(140)의 출력 신호(UP)에 의하여 차아지 펌프(150) 내 커패시터(미도시)를 충전시켜 제어 전압(Vcon)을 상승시키고, 위상 검출기(140)의 출력 신호(DN)에 의하여 차아지 펌프(150) 내 커패시터(미도시)를 방전시켜 제어 전압(Vcon)을 하강시킨다. 이

제어 전압(Vcon)은 앞서 설명한 가변 지연단(130)으로 제공되어 가변 지연단(130)의 선택되는 지연단을 내의 지연시간을 조절한다. 정리하면, 가변 지연단(130)은 쉬프트 레지스터(120)의 저장값에 의하여 개략적으로 가변 지연단(130)의 지연시간이 결정되고 제어 전압(Vcon)에 의하여 개략적으로 정해진 지연시간이 미세하게 조절된다.

여기서, 위상 검출기(140) 및 차이지 펌프(150)는 지연 동기 회로 리셋 신호(POLLOFF)에 의하여 리셋된다.

DC 전압 유지기(170)는 차이지 펌프(150)에서 제공되는 제어 전압(Vcon)을 유지한다. DC 전압 유지기(170)는 위상 검출기(140) 및 차이지 펌프(150)를 통하여 일단 형성되는 전압 레벨을 그대로 유지하는 데, SDRAM, RAMBUS-DRAM 및 DDR SDRAM 등의 DRAM 고유 기능인 리프레쉬 시에도 그 전압레벨이 유지되도록 설정된다.

한편, 가변 지연단(130)의 출력인 클럭 DQ(CLKDDQ)는 데이터 클럭 바퍼(미도시)에 제공된다. 클럭 바퍼(미도시)에서 출력되는 데이터가 클럭 바퍼(미도시)를 통하여 지연되는 시간을 보상하기 위하여 더미 지연단(160)을 구비하는 데, 이 결과로서 외부 클럭 신호(ECLK)와 동기되는 내부 클럭 신호가 발생된다.

제어 신호 발생기(180)는 셀프 리프레쉬 동작 진입을 나타내는 셀프 리프레쉬 신호(PSELF), 파워업 신호(PVCCCH), 모드 레지스터(mode register)에서 설정된 값을 포착(catch)하기 위하여 활성화되는 샘플링 신호(PMRSPD, ENRSET) 및 모드 레지스터를 지정하는 어드레스(MRADDR)에 응답하여 지연 동기 회로 리셋 신호(POLLOFF) 및 쉬프트 레지스터 리셋 신호(PREGST)를 발생한다. 지연 동기 회로 리셋 신호(POLLOFF)는 가변 지연단(130), 위상 검출기(140) 및 차이지 펌프(150)를 리셋시키고, 쉬프트 레지스터 리셋 신호(PREGST)는 쉬프트 레지스터(120)를 리셋시킨다. 제어 신호 발생기(180)의 동작을 도 4의 동작 타이밍도를 참조하여 설명하면 다음과 같다.

제어 신호 발생기(180)는 우선, 초기 파워업 신호의 "로우레벨"에 응답하여 트랜지스터들(Q1, Q2)이 "턴온"되어 노드 NA 및 노드 NB를 "로우레벨"로 초기화시킨다. "로우레벨"의 노드 NB는 래치(LAT2)를 통하여 노드 NE를 "하이레벨"로 한다. "하이레벨"의 노드 NE에 응답하여 지연 동기 회로 리셋 신호(POLLOFF) 및 쉬프트 레지스터 리셋 신호(PREGST)는 "하이레벨"로 활성화 상태이다(①). 이때에는 지연 동기 회로(100) 내의 가변 지연단(130), 위상 검출기(140) 및 차이지 펌프(150)를 리셋시키고, 쉬프트 레지스터(120)를 리셋시키는 데, 이것은 SDRAM, RAMBUS-DRAM 및 DDR SDRAM 등의 동작 초기화에 부합된다.

이 후, 모드 레지스터의 샘플링 신호들(PMRSPD, ENRSET)의 "하이레벨"로의 활성화와 모드 레지스터를 지정하는 어드레스(MRADDR)의 "하이레벨"에 응답하여 노드 NA는 "하이레벨"로, 노드 NB는 래치(LAT1)에 의하여 "로우레벨"로, 그리고 노드 NC 및 노드 ND는 "하이레벨"이 된다. "하이레벨"의 노드 ND는 래치(LAT2)를 통하여 노드 NE를 "로우레벨"로 한다. "로우레벨"의 노드 NE 및 "로우레벨"의 셀프 리프레쉬 신호(PSELF)에 응답하여 지연 동기 회로 리셋 신호(POLLOFF) 및 쉬프트 레지스터 리셋 신호(PREGST)는 "로우레벨"로 비활성화 상태이다(②). "로우레벨"의 지연 동기 회로 리셋 신호(POLLOFF) 및 쉬프트 레지스터 리셋 신호(PREGST)는 지연 동기 회로(100) 내의 가변 지연단(130), 위상 검출기(140) 및 차이지 펌프(150)를 리셋시키지 않기 때문에 쉬프트 레지스터(120)의 저장값은 그대로 유지된다.

다음에, 셀프 리프레쉬로의 진입을 나타내는 셀프 리프레쉬 신호(PSELF)의 "하이레벨"에 응답하여 지연 동기 회로 리셋 신호(POLLOFF)는 "하이레벨"로 활성화되지만 쉬프트 레지스터 리셋 신호(PREGST)는 여전히 "로우레벨"을 유지한다(③). 이때는 "하이레벨"의 지연 동기 회로 리셋 신호(POLLOFF)에 의하여 SDRAM, RAMBUS-DRAM 및 DDR SDRAM 등의 고유 기능인 셀프 리프레쉬 동작시 지연 동기 회로 내의 가변 지연단(130), 위상 검출기(140) 및 차이지 펌프(150)를 리셋시킨다. 그리하여 셀프 리프레쉬 동안에 가변 지연단(130), 위상 검출기(140) 및 차이지 펌프(150)에서 소요되던 전류를 차단하여 전류소모를 상당부분 줄일 수 있다. 그리고, "로우레벨"의 쉬프트 레지스터 리셋 신호(PREGST)는 쉬프트 레지스터(120)를 리셋시키지 않기 때문에 쉬프트 레지스터(120)의 저장값은 그대로 유지된다.

이어서, 셀프 리프레쉬의 탈출을 나타내는 "로우레벨"의 셀프 리프레쉬 신호(PSELF)에 응답하여 지연 동기 회로 리셋 신호(POLLOFF)가 "로우레벨"로 비활성화되고 쉬프트 레지스터 리셋 신호(PREGST)는 여전히 "로우레벨"이다(④). 이때에는 "로우레벨"의 지연 동기 회로 리셋 신호(POLLOFF)에 의하여 지연 동기 회로(100) 내 가변 지연단(130), 위상 검출기(140) 및 차이지 펌프(150)의 리셋이 해제되면서 지연 동기 회로(100)의 동작이 다시 수행되지만, 쉬프트 레지스터(120)에 저장되어 있던 저장값에 의하여 가변 지연단(130) 내의 지연단 스테이지를 바로 결정할 수 있기 때문에, 종래의 기술과는 달리 셀프 리프레쉬 탈출을 보상하기 위하여 소요되던 시간이 짧아진다.

따라서, 본 실시예의 지연 동기 회로(100)에 의하면, 셀프 리프레쉬 동안 쉬프트 레지스터(120)의 저장값이 리셋되지 않고 그대로 유지되기 때문에, 셀프 리프레쉬 탈출 후에 외부 클럭 신호(ECLK)와 내부 클럭 신호(ICLK)의 동기를 맞추기 위하여 소요되던 리프레쉬 탈출 보상 시간이 줄어든다. 또한, 셀프 리프레쉬 동안 지연 동기 회로 내의 가변 지연단(130), 위상 검출기(140) 및 차이지 펌프(150)가 리셋되어 동작하지 않기 때문에 전류소모를 상당부분 줄일 수 있다.

본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 발명의 효과

상술한 본 발명의 지연 동기 회로는 셀프 리프레쉬 동안 쉬프트 레지스터의 저장값이 리셋되지 않고 그대로 유지되기 때문에, 셀프 리프레쉬 탈출 후에 외부 클럭 신호와 내부 클럭 신호의 동기를 맞추기 위하여 소요되던 리프레쉬 탈출 보상 시간이 줄어든다. 또한, 셀프 리프레쉬 동안 지연 동기 회로 내의 가변 지

연단, 위상 검출기 및 차이지 펌프가 리셋되어 동작하지 않기 때문에 전류소모를 상당부분 줄일 수 있다

### (5) 청구항 1

#### 청구항 1

외부 클럭 신호와 동기되는 내부 클럭 신호를 제공하는 지연 동기 회로에 있어서,  
상기 외부 클럭 신호와 상기 내부 클럭 신호를 비교하여 그 결과를 저장하는 쉬프트 레지스터;  
상기 쉬프트 레지스터의 저장값에 응답하여 상기 외부 클럭 신호를 지연시키되, 개략적인 지연시간을 갖도록 소정의 지연단들이 선택되어 상기 내부 클럭 신호를 발생하는 가변 지연단;  
상기 외부 클럭 신호와 상기 내부 클럭 신호와의 앞서거나 뒤서는 위상차를 검출하는 위상 검출기; 및  
상기 위상 검출기의 출력에 응답하여 상기 가변 지연단에서 선택되는 지연단 내의 지연시간을 미세하게 조절하는 소정의 전압레벨을 발생하는 차이지 펌프를 구비하며,  
상기 쉬프트 레지스터는 리프레쉬 동작시 리셋되지 않는 것을 특징으로 하는 지연 동기 회로.

#### 청구항 2

제1항에 있어서, 상기 지연 동기 회로는

상기 가변 지연단, 상기 위상 검출기, 상기 차이지 펌프를 리셋시키는 지연 동기 회로 리셋 신호 및 상기 쉬프트 레지스터를 리셋시키는 쉬프트 레지스터 리셋 신호를 발생하되, 상기 리프레쉬 전압시 상기 지연 동기 회로 리셋 신호만을 활성화시키는 제어 신호 발생기를 더 구비하는 것을 특징으로 하는 지연 동기 회로.

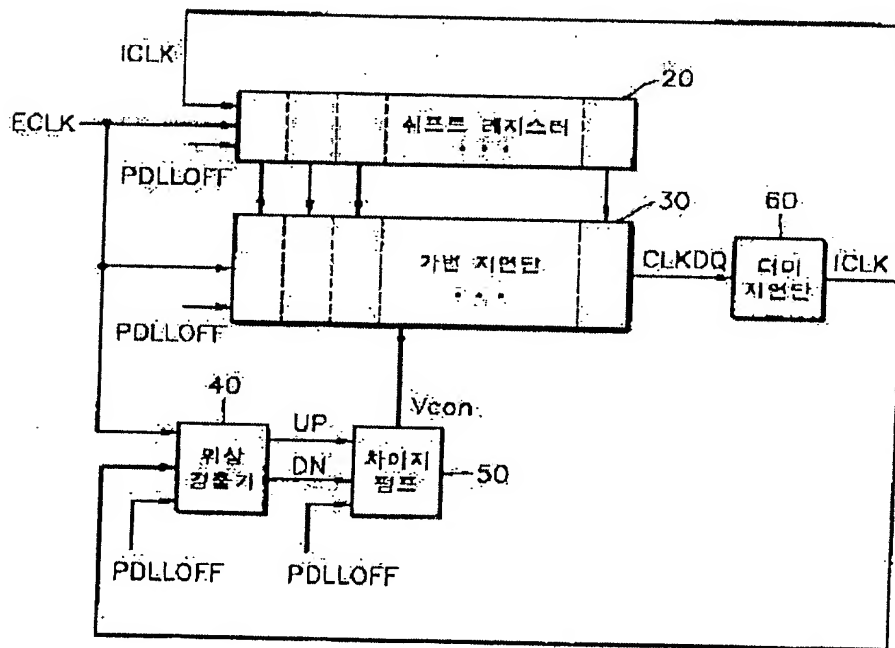
#### 청구항 3

제1항에 있어서, 상기 지연 동기 회로는

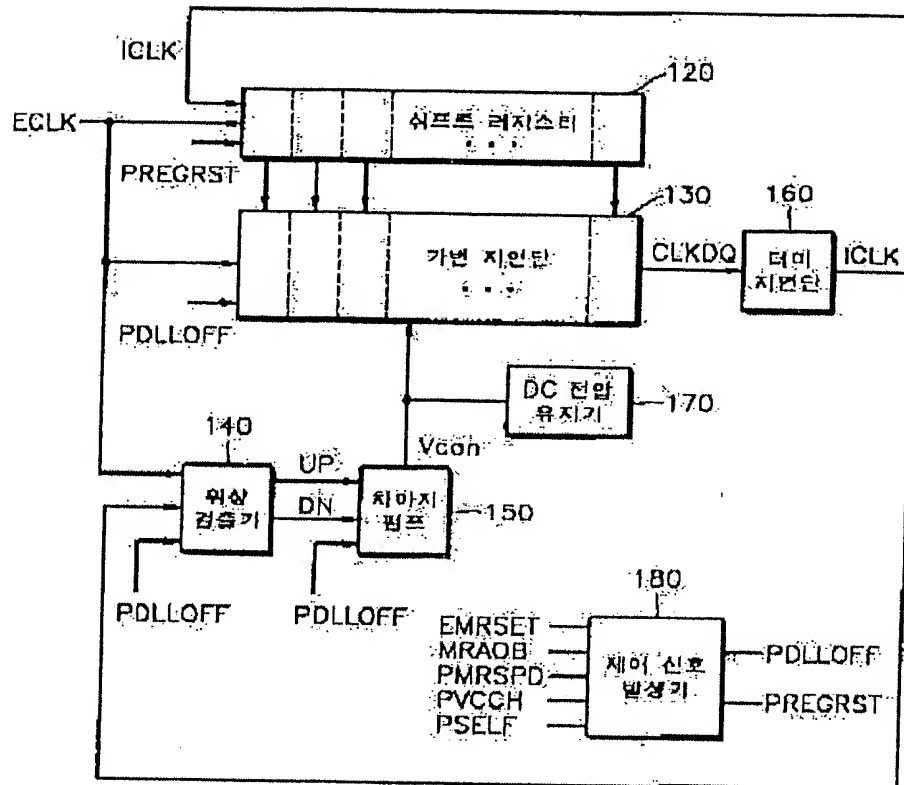
상기 가변지연단 출력인 내부 클럭 신호가 데이터 출력 버퍼의 데이터를 동기시키는 클럭 DQ로 제공되어, 상기 데이터 출력 버퍼를 통과하면서 생기는 상기 외부 클럭 신호에 대한 위상지연을 보상하기 위하여 상기 클럭 DQ를 소정시간 지연시켜 상기 외부 클럭 신호와 동기되는 상기 내부 클럭 신호를 발생하는 데이터 지연단을 더 구비하는 것을 특징으로 하는 지연 동기 회로.

### 도면

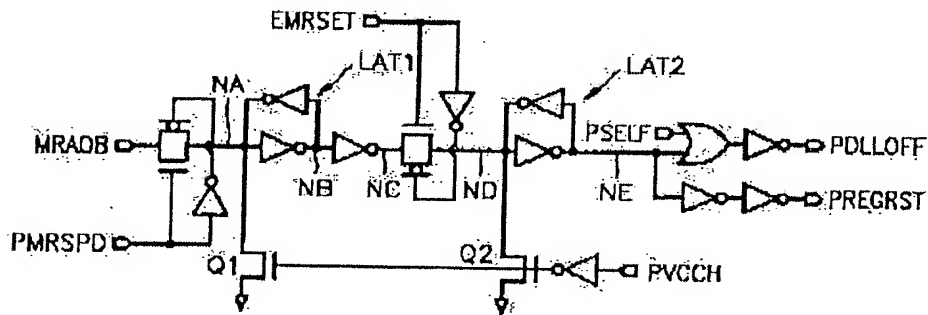
도면1



도면2



도면3



도면 4

